

PAT-NO: JP410275878A

DOCUMENT-IDENTIFIER: JP 10275878 A

TITLE: SEMICONDUCTOR PACKAGE

PUBN-DATE: October 13, 1998

INVENTOR-INFORMATION:

NAME

ASAI, HIRONORI

YANO, KEIICHI

IYOGI, YASUSHI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP09081056

APPL-DATE: March 31, 1997

INT-CL (IPC): H01L023/12, H01L021/60 , H01L023/467

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor chip of flip-chip structure, so as to increase mounting reliability of the semiconductor chip and improve electrical characteristics of signal wiring, cope with narrower pitch wiring and so on, in addition, and decrease the manufacturing cost as compared

to a conventional ceramics package.

SOLUTION: One major surface of a package body, consisting of a ceramic substrate 2 including a via hole type internal conductive layer 5, is provided with conductive holes 6 as external connecting terminals. A resin wiring base material 9, including a wiring layer 8 is bonded to the other major surface of the ceramics substrate 2. One end of the wiring layer 8 is electrically connected to the via hole type internal conductive layer 5. A semiconductor element 11 of flip-chip structure is mounted on the resin wiring base material 9 to electrically connect to the wiring layer 8.

COPYRIGHT: (C)1998,JPO

DERWENT-ACC-NO: 1998-605320

DERWENT-WEEK: 199851

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Semiconductor package - comprises flip-chip structured semiconductor device mounted on resin wiring material and electrically connected with wiring layer

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 1997JP-0081056 (March 31, 1997)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
JP 10275878 A	October 13, 1998	N/A	007
H01L 023/12			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 10275878A	N/A	1997JP-0081056	March 31, 1997

INT-CL (IPC): H01L021/60, H01L023/12 , H01L023/467

ABSTRACTED-PUB-NO: JP 10275878A

BASIC-ABSTRACT:

The package includes a ceramic substrate (2) laminated with a resin wiring material (9) with a wiring layer (8). A flip-chip structured semiconductor

device (11) is mounted on the resin wiring material. The semiconductor device is electrically connected with the wiring layer.

ADVANTAGE - Improves mounting reliability of semiconductor device.  
Improves electrical property of signal wiring layer.

CHOSEN-DRAWING: Dwg.1/2

TITLE-TERMS: SEMICONDUCTOR PACKAGE COMPRISE FLIP CHIP  
STRUCTURE SEMICONDUCTOR  
DEVICE MOUNT RESIN WIRE MATERIAL ELECTRIC CONNECT  
WIRE LAYER

DERWENT-CLASS: U11

EPI-CODES: U11-D01A3A; U11-D02D1; U11-E01C;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-472208

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The semiconductor package characterized by providing the resin wiring base material which is joined to one principal plane of a ceramic substrate and said ceramic substrate, and has a wiring layer, and the semiconductor device of the flip chip structure carried on said resin wiring base material so that it might connect with said wiring layer and electric target.

[Claim 2] The ceramic substrate which has the inner conductor layer by which one edge was electrically connected with said external connection terminal while the external connection terminal is prepared in one principal plane, So that it may have the wiring layer connected to the other-end section and the electric target of said inner conductor layer and may connect with the resin wiring base material joined to the principal plane of another side of said ceramic substrate, and said wiring layer and electric target The semiconductor package characterized by providing the semiconductor device of the flip chip structure carried on said resin wiring base material.

[Claim 3] It is the semiconductor package characterized by the inner conductor layer of said ceramic substrate being constituted by the Bahia hall mold conductor layer in a semiconductor package according to claim 2.

[Claim 4] It is that it is few as said ceramic substrate is chosen from alumimium nitride, silicon nitride, silicon carbide, boron nitride, and a diamond in a semiconductor package according to claim 1 or 2. Semiconductor package characterized by using one sort as a principal component.

[Claim 5] The semiconductor package characterized by joining the radiation fin on said semiconductor device in a semiconductor package according to claim 1 or 2.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor package which realized reduction in resistance of signal wiring, formation of your kind consideration linear density, low cost-ization, etc. as a package, after raising the mounting dependability of the semiconductor device of flip chip structure.

[0002]

[Description of the Prior Art] With the advance of a semi-conductor manufacturing technology in recent years, a semiconductor device is in high integration, high-speed-operation-izing, a raise in power consumption, and the inclination formed into a many-items child, and its engine performance and function itself of a semiconductor device are also improving quickly. Thus, when making it operate, without reducing a component function first, high heat dissipation nature is required of the package which carries the high performance semiconductor device, especially the high semiconductor device of power consumption.

[0003] By the way, although a plastic package cheap as a current package is in use, the power consumption which can be adapted with a simple substance in the case of a plastic package is low, and in order to correspond to buildup of power consumption, it needs to use a heat sink and a radiation fin. Moreover, a plastic package has a possibility that a crack etc. may arise from the difference of a coefficient of thermal expansion with a semiconductor device being large for a component if a large-sized semiconductor device is carried. For this reason, when it carries the semiconductor device by which power consumption was enlarged highly, the ceramic package is mainly used.

[0004] In order to remove efficiently the heat generated in a semiconductor device in the conventional wirebonding connection, the package of the cavity down (face down) structure which joined the semiconductor device to the underside side of a package base is effective. According to the package of such structure, heat can be efficiently radiated in the heat which could take direct heat from the rear-face side of a semiconductor device, and was taken from the semiconductor device. However, this continuation is accompanied by enlargement of the package by constraint of arrangement of a contact pin.

[0005] On the other hand, not only power consumption but the number of I/O signals is increasing high-performance-izing and advanced features of a semiconductor device. Although the size of a semiconductor device is also enlarged so that it may follow in footsteps of such a motion, since it leads to reduction of the number of picking from a wafer, enlargement of component size will cause the cost rise of a semiconductor device. When reducing the manday at the time of component mounting, avoiding enlargement of such component size, flip chip structure is effective and the utilization is advanced in recent years. It carries out like this and enlargement of component size is avoided in spite of the increment in the number of I/O by the improvement of shelf component structure. However, in spite of the trend by the side of such a component, the buildup inclination of the calorific value of a semiconductor device is unchanging, and it is required to remove heat efficiently as usual.

[0006] The ceramic package which can fully respond also to the heat which a semiconductor device generates is developed the package structure using the ceramic base material of high temperature conductivity being proposed variously, and miniaturizing package size in order to cope with such a situation. However, the actual condition is that the conventional ceramic package has the difficulty as shown below based on using the high temperature conductivity ceramics for all, and has come to spread widely for this reason.

[0007] That is, the conventional ceramic package is mainly managing signal wiring by the wiring layer in this ceramic multilayer-interconnection substrate, using a ceramic multilayer-interconnection substrate as a package body. In order that the package using such a ceramic multilayer-interconnection substrate may use W, Mo, etc. in which elevated-temperature baking is possible for an internal wiring layer highly [ a manufacturing cost ] compared with a plastic package etc., wiring resistance becomes high and it cannot be said that it is not necessarily suitable for high speed signal processing.

[0008] Furthermore, there is a limitation in the densification of wiring in a package etc. in the internal wiring layer by simultaneous baking with a ceramic substrate. When especially aimed at flip chip mounting, it is the need of forming the inner lead section of a \*\* pitch and a many-items child in high degree of accuracy. However, since it is necessary to control more the dimension contraction at the time of baking of a ceramic substrate to high degree of accuracy in order to satisfy such a demand, the contraction control itself which aimed at the response to flip chip mounting is becoming

difficult.

[0009]

[Problem(s) to be Solved by the Invention] As mentioned above, since the difference of a plastic package of a coefficient of thermal expansion with a semiconductor device is large among the conventional semiconductor packages, it has the problem that the dependability at the time of carrying a large-sized semiconductor device etc. with high power consumption is low. Especially, in order that stress may concentrate on a bump electrode section in the semiconductor device of flip chip structure effective in the miniaturization of component size, the cutback of mounting manday, etc., there is a problem that electric dependability also tends to fall.

[0010] Furthermore, conventionally, while the ceramic package mainly used as a high heat dissipation nature package has a high manufacturing cost and electrical characteristics, such as wiring resistance of signal wiring, are insufficient, it has problems, like there is a limitation in the response to \*\* pitch wiring etc. When especially aimed at flip chip mounting, the response to the \*\* pitch and the formation of a many-items child of the inner lead section is becoming difficult.

[0011] It aims at realizing improvement in the electrical property of signal wiring, the response to much more \*\* pitch wiring, etc., and offering the semiconductor package which aimed at reduction of a manufacturing cost compared with the conventional ceramic package in addition while this invention was made so that it may cope with such a technical problem, and it raises the mounting dependability of a semiconductor device for the semiconductor device of flip chip structure.

[0012]

[Means for Solving the Problem] The semiconductor package of this invention is characterized by providing the resin wiring base material which is joined to the package body which consists of a ceramic substrate by one principal plane of said ceramic substrate, and has a wiring layer, and the semiconductor device of the flip chip structure carried on said resin wiring base material so that it might connect with said wiring layer and electric target, as indicated to claim 1.

[0013] Moreover, as indicated to claim 2, while the external connection terminal is prepared in one principal plane, other semiconductor packages of this invention The package body which consists of a ceramic substrate which has the inner conductor layer by which one edge was electrically connected with said external connection terminal, So that it may have the wiring layer connected to the other-end section and the electric target of said inner conductor layer and may connect with the resin wiring base material joined to the principal plane of another side of said ceramic substrate, and said wiring layer and electric target It is characterized by providing the semiconductor device of the flip chip structure carried on said resin wiring base material.

[0014] In the semiconductor package of this invention, a resin wiring base material is joined to a ceramic substrate, and the semiconductor device of flip chip structure is carried on this resin wiring base material. Although a resin wiring base material has the large difference of a coefficient of thermal expansion with a semiconductor device, the thermal expansion of a resin base material is restrained by the ceramic substrate by joining to a ceramic substrate. Namely, a ceramic substrate not only functions as a support base of the resin wiring base material which is easy to deform, but plays a role of a thermal expansion relaxation layer. Therefore, mounting dependability including electric connection of a semiconductor device can be raised.

[0015] Furthermore, signal wiring is mainly managed by the wiring layer prepared in the resin wiring base material. Since the copper foil by which patterning was carried out, for example can be used for the wiring layer of a resin wiring base material, compaction of the reduction in resistance of signal wiring, wiring width of face, and the distance between wiring etc. can be aimed at. In addition, when a resin base material can carry out densification of the wiring consistency and carries especially the semiconductor device of flip chip structure since it uses a photo etching technique after raising the electrical characteristics of wiring in a package, since the dielectric constant is low compared with a ceramic substrate, the \*\* pitch connection of it is attained. Furthermore, ceramic substrate \*\*\*\*\* can reduce the manufacturing cost of a semiconductor package by mainly managing signal wiring with a resin wiring base material. In addition, the heat generated in the semiconductor device can be told to a ceramic substrate side through the wiring layer of the resin wiring base material considered as high density wiring etc.

[0016]

[Embodiment of the Invention] Hereafter, the gestalt for carrying out this invention is explained.

[0017] Drawing 1 is the sectional view showing the outline structure of 1 operation gestalt of the semiconductor package of this invention. The semiconductor package 1 shown in this drawing has the ceramic substrate 2 as a package body. Various kinds of ceramic ingredients, such as an alumimium nitride (AlN) sintered compact, a silicon nitride (Si<sub>3</sub> N<sub>4</sub>) sintered compact, an alumina (aluminum 2O<sub>3</sub>) sintered compact, a silicon carbide (SiC) sintered compact, a boron nitride (BN) sintered compact, and a diamond, can be used for this ceramic substrate 2.

[0018] The AlN sintered compact and Si<sub>3</sub> N<sub>4</sub> which are excellent in thermal conductivity while excelling in an insulating property like the semiconductor package 1 shown in drawing 1 among the ceramic ingredients mentioned above, in forming a conductor layer 3 in the interior of the ceramic substrate 2 It is desirable to use a sintered compact etc. Since the heat conductivity is large, especially an AlN sintered compact is an ingredient desirable when attaining high heat dissipation nature-ization of a semiconductor package 1. As an AlN sintered compact used for the ceramic substrate 2, the thermal conductivity currently generally used as a substrate ingredient is 70 W/m K. The above thing is used preferably.

[0019] Moreover, Si<sub>3</sub> N<sub>4</sub> Since a sintered compact has a high intensity property and comparatively good thermal conductivity, it is an ingredient desirable when attaining high-reliability-izing of a semiconductor package, and high heat dissipation nature-ization. Si<sub>3</sub> N<sub>4</sub> used for the ceramic substrate 2 Especially as a sintered compact, what has the thermal conductivity of 50 or more W/m K is desirable. Si<sub>3</sub> N<sub>4</sub> A sintered compact is 50 W/m K, without spoiling the mechanical

property of original high intensity and high toughness by being well known as a ceramic sintered compact of high intensity and high toughness, and performing presentation control of atomization of the nitriding cay prime powder which serves as a sintered compact raw material further, for example, high-grade-izing, a sintering acid presentation, etc. Si<sub>3</sub>N<sub>4</sub> which was comparatively excellent in thermal conductivity like the above A sintered compact is obtained.

[0020] When using only as a support base of the resin wiring base material 9 which mentions the ceramic substrate 2 later and not forming a conductor layer in the ceramic substrate 2 side, the SiC sintered compact which is excellent in thermal conductivity, BN sintered compact, a diamond, etc. are used preferably. Moreover, according to a class, an application, etc. of a semiconductor device 11, it can be suitably used about other ceramic ingredients.

[0021] The ceramic substrate 2 which constitutes a package body has the Bahia hall 3 as an inner conductor layer. Lands 4 and 5 are formed in the ends of the Bahia hall 3, respectively. Although it is possible to use together the Bahia hall 3, a printed wiring layer, etc. as an inner conductor layer here, since signal wiring can be managed with the resin wiring base material 9 later mentioned in the semiconductor package of this invention, as for the inner conductor layer of the ceramic substrate 2, it is desirable to consider only as the Bahia hall mold conductor layer 3. Thereby, the manufacturing cost and manufacture manday of the ceramic substrate 2 as a package body can be reduced substantially.

[0022] The ceramic substrate 2 which was described above forms the printing layer used as lands 4 and 5 while it forms the through hole used as the Bahia hall mold conductor layer 3 in a ceramic green sheet first and is filled up with conductive paste, such as a tungsten paste, in this through hole. the case where the ceramic green sheet of two or more sheets is used -- them -- a laminating -- it is stuck by pressure. And the Bahia hall mold conductor layer 3 and a land 4, and the ceramic substrate 2 that has 5 grades are obtained by calcinating in the ambient atmosphere according to a ceramic ingredient.

[0023] In addition, what is necessary is to form in the ceramic substrate 2 and just to use the ceramic substrate of multilayer structure for the ceramic substrate 2 in this case about wiring layers, such as a voltage plane and a ground layer.

[0024] a conductor like [ an one / which has the Bahia hall mold conductor layer 3 mentioned above / principal plane / of the ceramic substrate 2 /, i.e. underside 2a, side ] for example, a Pb-Sn system solder ball or In system solder ball -- the ball 6 is joined on the underside side land 4. these conductors -- a ball 6 functions as an external connection terminal. Thus, the semiconductor package 1 of this operation gestalt constitutes the package of BGA structure. in addition, a conductor -- a ball 6 -- various kinds of conductors with which the surface section has conductivity at least, such as a metal ball metallurgy group coating resin ball, -- a ball can be used.

[0025] a conductor -- after performing nickel/Au plating etc. to the front face of the underside side land 4, a ball 6 prints Sn-Pb eutectic soldering paste etc. for example, on each underside side land 4, on this soldering paste, a fixture can be used for it, it can carry a Sn-Pb eutectic solder ball (for example, 95%Pb eutectic solder ball) etc., and can form it by carrying out melting of the soldering paste and joining.

[0026] Junction immobilization of the resin wiring base material 9 which formed the wiring layer 8 in the resin film 7 by copper foil etc. is carried out through the adhesives layer 10 at the principal plane [ of another side of the ceramic substrate 2 ], i.e., top-face 2b, side. Here, as a resin film 7, it is the 20 to 100 micrometer thickness it is thin from various insulating resin, such as a liquid crystal polymer, polyimide resin, and a glass epoxy resin. The film of extent can be used. Moreover, a thermosetting resin sheet, a thermosetting resin paste, an epoxy resin paste, a polyimide resin paste, etc. can be used for the adhesives layer 10.

[0027] And on the resin wiring base material 9, the semiconductor device 11 which has flip chip structure is carried, and bump electrode 11a of this semiconductor device 11 is electrically connected with the wiring layer 8. Thus, the semiconductor package 1 of this operation gestalt has the so-called face-up structure. Although the semiconductor device 11 to carry is not limited, its power consumption is as high as more than 3W, and especially its this invention is effective to a large-sized semiconductor device at high power consumption which component size calls beyond 10mm angle. In the semiconductor package of this invention, such a semiconductor device 11 can be carried under high-reliability.

[0028] the wiring layer 8 of the resin wiring base material 9 -- bump electrode 11a of a semiconductor device 11, and the top-face side land 5 of the ceramic substrate 2 -- electric -- connecting -- \*\*\*\* -- further -- bump electrode 11a of a semiconductor device 11 -- the Bahia hall mold inner conductor layer 3 of the ceramic substrate 2 -- minding -- the conductor as an external connection terminal -- it connects with the ball 6 electrically. The signal wiring of a semiconductor device 11 is fundamentally managed by the wiring layer 8 of the resin wiring base material 9.

[0029] The wiring layer 8 in the semiconductor package 1 of this operation gestalt specifically has upside conductor-layer 8a formed in the top-face side of the resin film 7, bottom conductor-layer 8b formed in the underside side of the resin film 7, and inner conductor layer 8c which connects between these electrically. Upside conductor-layer 8a and bottom conductor-layer 8b are 100 micrometers in thickness like copper foil. It consists of a metallic foil of extent below, patterning is carried out according to the desired wiring configuration, and coating of the insulating layer 12 which consists of insulating resin etc. is carried out to the front face of upside conductor-layer 8a.

[0030] The signal wiring of a semiconductor device 11 is mainly either upside conductor-layer 8a or bottom conductor-layer 8b, or is managed on the both sides of upside conductor-layer 8a and bottom conductor-layer 8b. When managing signal wiring mainly by upside conductor-layer 8a, bottom conductor-layer 8b is good only also as formation of a land.

[0031] On bottom conductor-layer 8b (land), it is made to correspond to the location of the top-face side land 5 of the ceramic substrate 2, for example, the projection 13 for connection is formed with Ag epoxy system paste, Au epoxy system paste, Ag polyimide system paste, etc. The projection 12 for connection can also join and form Au ball, a Pb-Sn



system eutectic solder ball, In system solder ball, etc. In addition, the same projection for connection may be formed on the top-face side land 6 of the ceramic substrate 2.

[0032] And the wiring layer 8 of the resin wiring base material 9 and the top-face side land 5 of the ceramic substrate 2 dash the projection 13 for connection by the side of the resin film 7 against the top-face side land 5, and are electrically connected by carrying out thermocompression bonding of this etc. In addition, the projection 13 for connection may be formed on the top-face side land 5 of the ceramic substrate 2. Moreover, the wiring layer 8 of the resin wiring base material 9 and bump electrode 11a of a semiconductor device 3 dash this bump electrode 11a against the predetermined polar zone of upside conductor-layer 8a of the resin wiring base material 9, and are electrically connected by carrying out thermocompression bonding of this etc.

[0033] The adhesives layer 10 is bearing fundamentally the mechanical junction to the resin wiring base material 7 and the ceramic substrate 2. Moreover, when raising the mechanical and electric connection dependability of the resin wiring base material 9 and a semiconductor device 3, the perimeter of the connection by bump electrode 11a is filled up with the insulating filler 14 which consists of resin etc. This insulating filler 14 is used if needed.

[0034] The resin film 7 which has the conductor layer 8 and the projection 12 for connection which were mentioned above is producible as follows, for example. 12 micrometers in first, thickness Prepare the copper foil of extent as a formation ingredient of upside conductor-layer 8a, the front face is made to correspond to the location of the top-face side land 5 of the ceramic substrate 2, and the projection set to inner conductor layer 8c with silver etc. is formed. The copper foil in which this projection was formed, and 20 to 100 micrometer thickness it is thin from a liquid crystal polymer Thermocompression bonding is carried out so that the resin film 7 of extent and the copper foil of the same thickness it is further thin to bottom conductor-layer 8b may be connected to superposition, and the copper foil and the electric target with which the head of a projection breaks through the resin film 7, and is set to bottom conductor-layer 8b.

Thermocompression bonding is carried out under conditions at which the adhesion reinforcement of copper foil, a liquid crystal polymer film, etc. is maintained.

[0035] And double-sided copper foil is etched so that it may become the wiring configuration of respectively a request, and a land is formed in bottom conductor-layer 8b for a desired circuit pattern at least again at upside conductor-layer 8a. Then, the resin wiring base material 9 with which the wiring layer 8 which has upside conductor-layer 8a mentioned above, bottom conductor-layer 8b, and inner conductor layer 8c, and the projection 13 for connection were formed is obtained by forming the projection 13 for connection which was mentioned above on the land by bottom conductor-layer 8b.

[0036] The junction to the resin wiring base material 9 and the ceramic substrate 2 which have a wiring layer 8 and the projection 13 for connection which were described above Applying heat at the temperature which carries out the laminating of these through for example, an adhesives sheet, the spreading layer of adhesives, etc., and the spreading layer of an adhesive film or adhesives pastes up in this condition By applying the pressure (for example, 10kg/cm<sup>2</sup> extent) which is extent which electric connection realizes, it is mechanically joinable, connecting electrically the resin wiring base material 9 and the ceramic substrate 2. Thus, while connecting and carrying the semiconductor device 11 of flip chip structure on the resin wiring base material 9 joined to the ceramic substrate 2, a semiconductor package 1 is obtained by filling up the perimeter of a connection with the insulating filler 14.

[0037] If it is the about [ 4W ] semiconductor device 11, although it sets semiconductor package 1, and the resin film 7 will serve as a thermal resistance layer, the resin wiring base material 9 is thin, and it is possible to secure him heat dissipation nature, if the ceramic substrate 2 of high temperature conductivity is used for a wiring layer 8 concrete target since [ which was mentioned above ] heat can be told to the ceramic substrate 2 through copper foil etc. Furthermore, when it carries the semiconductor device 11 (about [ For example, 10 ] W) of higher power consumption, as shown in drawing 2, sufficient heat dissipation nature can be secured by joining the radiation fin 15 which consists of a metal, high temperature conductivity ceramics, etc. through the adhesives layer 16 to the rear-face side of the semiconductor device 11 by which flip chip mounting is carried out on the resin wiring base material 9.

[0038] Such a semiconductor package 1 is mounted on mounting boards, such as a multilayer printed board. under the present circumstances, the conductor as an external connection terminal of a semiconductor package 1 -- a ball 6 is connected to the wiring layer and the electric target of a mounting board, and semi-conductor mounting components are constituted. In the semiconductor package 1 of the operation gestalt mentioned above, since it has the structure which joined the resin wiring base material 9 to the ceramic substrate 2 as a package body, the thermal expansion of the resin wiring base material 9 can be restrained with the ceramic substrate 2. Although the resin wiring base material 9 has the large difference of a coefficient of thermal expansion with a semiconductor device 11, since the coefficient of thermal expansion of the ceramic substrate 2 is close to a semiconductor device 11, the thermal expansion of the resin wiring base material 9 with which a semiconductor device 11 is carried can be brought close to it of a semiconductor device 11 by restraining the thermal expansion of the resin wiring base material 9 with the ceramic substrate 2.

[0039] In spite of carrying the semiconductor device 11 of flip chip structure directly on the resin wiring base material 9 by using such a package, it becomes possible to raise the connection dependability of a semiconductor device 11. While being able to raise the dependability of an electric connection, specifically, the crack of the semiconductor device 11 accompanying the mechanical connection with the resin wiring base material 9 etc. can be controlled. Namely, the ceramic substrate 2 not only functions as a support base of the resin wiring base material 9 which is easy to deform, but plays a role of a thermal expansion relaxation layer. It becomes possible by being especially filled up with the insulating filler 14 around the connection by bump electrode 11a of a semiconductor device 11 to raise not only mechanical connection dependability but electric connection dependability one layer of nearby.

[0040] About the heat dissipation nature of a semiconductor package 1, as mentioned above, heat can be told to the ceramic substrate 2 for the heat produced in the semiconductor device 11 through the wiring layer 8 of the resin wiring base material 9, and since the wiring layer 8 which carried out densification especially of the wiring consistency is excellent in heat transfer nature, if the ceramic substrate 2 of high temperature conductivity is used, it can secure the heat dissipation nature which can respond to the about [ 4W ] semiconductor device 11. Moreover, much more good heat dissipation nature can be obtained by joining a radiation fin 15 to the rear-face side of the semiconductor device 11 by which flip chip mounting is carried out on the resin wiring base material 9.

[0041] Moreover, as mentioned above to the wiring layer 8 prepared in the resin film 7, thickness, such as copper foil, is 100 micrometers. A metallic foil, such as the following, can be used. According to the metallic foils, such as copper foil, compared with baking layers currently generally used as an internal wiring layer of a ceramic substrate, such as W and Mo, wiring resistance, a RF property, etc. of signal wiring are substantially improvable. Furthermore, for example, wiring width of face is 30 micrometers by etching and carrying out patterning of the copper foil etc. The distance between wiring is 20 micrometers. High density wiring which is said is realizable. Since the semiconductor package 1 of this operation gestalt is moreover considering as the face-up structure which can be miniaturized fundamentally, even if it is the semiconductor device 11 with many I/O, it not only can manage signal wiring easily, but it becomes possible to miniaturize the package size itself. That is, the densification of wiring in a package and the miniaturization of package size based on it can be attained.

[0042] Here, in the case of the semiconductor device 11 of flip chip structure, the inner lead section by the side of a package is especially asked for \*\* pitch wiring. Since the wiring layer 8 of the resin wiring base material 11 can satisfy such a demand, it becomes possible to make \*\* pitch connection with the semiconductor device 11 of flip chip structure. Therefore, while being able to raise the mounting dependability of the semiconductor device 11 of flip chip structure, it can respond also to the many-items child and \*\* pitch-ization of the further semiconductor device 11.

[0043] Furthermore, fundamentally, since signal wiring is managed by the wiring layer 8 of the resin wiring base material 9, it can use the internal wiring layer of the ceramic substrate 2 only as the Bahia hall mold wiring layer 3. It becomes possible to be able to reduce substantially the manufacturing cost and manufacture manday of ceramic substrate 2 the very thing, and for the dimension control precision of the ceramics to also become loose compared with the conventional ceramic multilayer-interconnection substrate which formed the complicated multilayer interconnection in the interior by this, as a result to reduce the manufacturing cost of a semiconductor package 1.

[0044] As mentioned above, after enabling loading of the semiconductor device 11 of flip chip structure, and \*\* pitch connection with it, the semiconductor package 1 of the BGA structure of this operation gestalt raises the mounting dependability of a semiconductor device 11, and realizes a raise in a property and densification of signal wiring, low cost-ization of a package, etc. further.

[0045] About the semiconductor package 1 of such BGA structure, power consumption is 5W. It produced as a package which carries the semiconductor device of 400 pins. First, what used the liquid crystal polymer as base resin, and carried out thermocompression bonding of the copper foil to the both sides as a resin wiring base material 9 was produced. Each copper foil was etched, formed the pattern and coated insulating resin on it. The thickness of the resin wiring base material 9 is abbreviation. It is 0.2mm and chip mounting is a flip chip response.

[0046] Thermal conductivity in the ceramic substrate 2 180 W/m K The AlN ceramics was used. Substrate thickness It is 0.6mm. The AlN ceramic substrate 2 is a diameter to a single green sheet. 200 micrometers While carrying out blanking formation of the through hole by the package and filling this up with W paste, the printing layer used as a land was formed. This was degreased and calcinated and it considered as the AlN ceramic substrate 2. nickel/Au plating was performed on the land.

[0047] Such a resin wiring base material 9 and the AlN ceramic substrate 2 were joined, and the package for semiconductor devices was obtained. Epoxy system adhesives were used for mechanical junction at these electric connection, using conductive resin. 5W of flip chip structure and the semiconductor device of 400 pins were carried in such a package, and it considered as the semiconductor package 1 of this example.

[0048] On the other hand, the semiconductor package made of resin (example 1 of a comparison) was produced as an example of a comparison with this invention. In order to apply the semiconductor package of this example 1 of a comparison to the semiconductor device for high power consumption, it was taken as the structure which adopts face-up structure and misses the heat to generate from a component rear face to a direct heat sink. For this reason, the connection method of a semiconductor device was made into wire bonding. Copper was used for the heat sink. Moreover, in order to adopt the structure which misses heat to a mounting board, the plate for thermal diffusion was adopted as the interior. wiring -- a conductor is copper. The semiconductor device of the 5W [ same in such a package ] as an example and 400 pins was carried, and it considered as the semiconductor package.

[0049] Moreover, the package corresponding to a PURIPPU chip was produced with the AlN ceramics as an example 2 of a comparison. The AlN multilayer-interconnection substrate (thermal conductivity: 180 W/m K) of five layer systems was used for the package. After forming the through hole required for the AlN multilayer-interconnection substrate of five layer systems, and each green sheet of five sheets and performing restoration and printing of W paste, a laminating, cleaning, and baking were performed. In order to make it correspond to flip chip mounting, the diameter of a through hole is 80 micrometers. It carried out. nickel/Au plating was performed on the land. The semiconductor device of the 5W [ same in such a package ] as an example and 400 pins was carried, and it considered as the semiconductor package.

[0050] The property of the semiconductor package by the above-mentioned semiconductor package and the above-

mentioned examples 1 and 2 of a comparison of an example, cost, size, etc. were compared. The result is shown in a table 1. In addition, the assessment result shown in a table 1 is an example. It is a relative value at the time of being referred to as 1.

[0051]

[A table 1]

	配線抵抗比	熱抵抗比	コスト比	サイズ比
実施例	1	1	1	1
比較例 1	1	11	1	1.3
比較例 2	10	0.9	2	1

Although thermal resistance is somewhat inferior in the semiconductor package by the example of this invention compared with the example 2 of a comparison which used the ceramic simple substance package so that clearly from a table 1, even if wiring resistance and a manufacturing cost are substantially excellent and it compares them with the example 1 of a comparison using a resin package, it turns out that it excels in a manufacturing cost, package size, etc.

[0052] In addition, an inner conductor layer and the projection for connection can be made to serve a double purpose by forming conductor layers 8a and 8b in both sides of the resin film 7 with the above-mentioned operation gestalt, and an inner conductor layer's breaking through a resin film, for example, and considering as the structure where the head projects in the reverse side side of a resin film, although the case where the projection 13 for connection was formed in bottom conductor-layer 8b was explained.

[0053] Moreover, although it is possible not only the resin film mentioned above as a resin base material but to use a copper-clad resin substrate etc., it sets at the point of the densification of a wiring consistency, and it is thickness to a resin film. 100 micrometers It is desirable to use what stuck a metallic foil, such as the following, by thermocompression bonding etc.

[0054] furthermore, not only the BGA package of the face-up structure which the semiconductor package of this invention mentioned above but an external connection terminal -- a conductor -- it is applicable to the package which used things other than a ball, or the semiconductor package of face down structure.

[0055]

[Effect of the Invention] As explained above, after raising mounting dependability, connection dependability, etc. of a semiconductor device of flip chip structure according to the semiconductor package of this invention, the response to improvement and much more \*\* pitch wiring, the miniaturization of package size, etc. can be attained for the electrical property of signal wiring, and it becomes possible to realize reduction of a manufacturing cost etc. further. Such a semiconductor package can package-ize a large-sized semiconductor device etc. under high-reliability for example, with high power consumption.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the outline structure of 1 operation gestalt of the semiconductor package of this invention.

[Drawing 2] It is the sectional view showing the modification of a semiconductor package shown in drawing 1 .

[Description of Notations]

- 1 ..... Semiconductor package
- 2 ..... Ceramic substrate
- 3 ..... The Bahia hall mold conductor layer
- 6 ..... a conductor -- a ball
- 7 ..... Resin film
- 8 ..... Wiring layer
- 9 ..... Resin wiring base material
- 11 .... Semiconductor device of flip chip structure
- 15 .... Radiation fin

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-275878

(43) 公開日 平成10年(1998)10月13日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 23/12

21/60

23/467

識別記号

3 1 1

F I

H 0 1 L 23/12

21/60

23/46

L

3 1 1 S

C

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21) 出願番号

特願平9-81056

(22) 出願日

平成9年(1997)3月31日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 浅井 博紀

神奈川県横浜市鶴見区末広町2丁目4番地

株式会社東芝京浜事業所内

(72) 発明者 矢野 圭一

神奈川県横浜市鶴見区末広町2丁目4番地

株式会社東芝京浜事業所内

(72) 発明者 五代 徹 靖

神奈川県横浜市鶴見区末広町2丁目4番地

株式会社東芝京浜事業所内

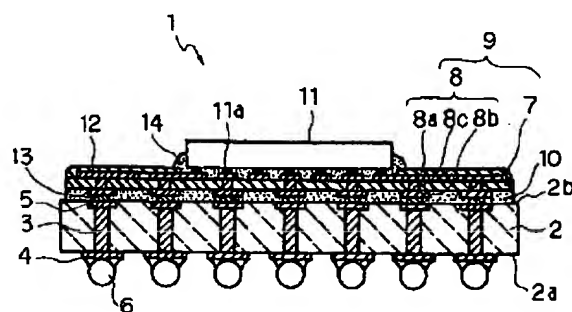
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 半導体パッケージ

(57) 【要約】

【課題】 フリップチップ構造の半導体素子を対象として、半導体素子の実装信頼性を高めると共に、信号配線の電気特性の向上やより一層の狭ピッチ配線への対応等を実現し、加えて従来のセラミックスパッケージに比べて製造コストの低減を図る。

【解決手段】 バイアホール型内部導体層5を有するセラミックス基板2からなるパッケージ本体の一方の主面には、外部接続端子として導体ホール6が設けられている。セラミックス基板2の他方の主面には、配線層8を有する樹脂配線基材9が接合されている。配線層8の一方の端部はバイアホール型内部導体層5と電気的に接続されている。樹脂配線基材9上には、配線層8と電気的に接続するように、フリップチップ構造の半導体素子1が搭載されている。



## 【特許請求の範囲】

【請求項1】 セラミックス基板と、

前記セラミックス基板の一方の主面に接合され、かつ配線層を有する樹脂配線基材と、

前記配線層と電気的に接続するように、前記樹脂配線基材上に搭載されたフリップチップ構造の半導体素子とを具備することを特徴とする半導体パッケージ。

【請求項2】 一方の主面に外部接続端子が設けられていると共に、前記外部接続端子と一方の端部が電気的に接続された内部導体層を有するセラミックス基板と、  
前記内部導体層の他方の端部と電気的に接続された配線層を有し、前記セラミックス基板の他方の主面に接合された樹脂配線基材と、

前記配線層と電気的に接続するように、前記樹脂配線基材上に搭載されたフリップチップ構造の半導体素子とを具備することを特徴とする半導体パッケージ。

【請求項3】 請求項2記載の半導体パッケージにおいて、

前記セラミックス基板の内部導体層は、バイアホール型導体層により構成されていることを特徴とする半導体パッケージ。

【請求項4】 請求項1または請求項2記載の半導体パッケージにおいて、

前記セラミックス基板は、窒化アルミニウム、窒化ケイ素、炭化珪素、窒化珪素およびダイヤモンドから選ばれる少なくとも1種を主成分とすることを特徴とする半導体パッケージ。

【請求項5】 請求項1または請求項2記載の半導体パッケージにおいて、

前記半導体素子上には放熱フィンが接合されていることを特徴とする半導体パッケージ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フリップチップ構造の半導体素子の実装信頼性を向上させた上で、パッケージとして信号配線の低抵抗化、高配線密度化、低コスト化等を実現した半導体パッケージに関する。

【0002】

【従来の技術】近年の半導体製造技術の進歩に伴って、半導体素子は高集積化、高速動作化、高消費電力化、多端子化する傾向にあり、また半導体素子の性能や機能自体も急速に向上している。このように、高機能化された半導体素子、特に消費電力の高い半導体素子を搭載するパッケージには、まず素子機能を低下させることなく動作させる上で、高放熱性が要求される。

【0003】ところで、現在のパッケージとしては安価なプラスチックパッケージが主流であるが、プラスチックパッケージの場合には単体で適応できる消費電力は低く、消費電力の増大に対応するためにはヒートシンクや放熱フィンを使用する必要がある。また、プラスチック

パッケージは半導体素子との熱膨張係数の差が大きいことから、大型の半導体素子を搭載すると素子に割れ等が生じるおそれがある。このため、消費電力が高くかつ大型化された半導体素子を搭載する場合には、セラミックスパッケージが主として使用されている。

【0004】従来のワイヤボンディング接続では、半導体素子で発生する熱を効率的に除去するために、半導体素子をパッケージ基体の下面側に接合したキャビティダウン（フェイスダウン）構造のパッケージが有効である。このような構造のパッケージによれば、半導体素子の裏面側から直接熱を奪うことができ、また半導体素子から奪った熱を効率よく放熱することができる。しかし、この接続法は接続ピンの配置の制約によるパッケージの大型化を伴うものである。

【0005】一方、半導体素子の高性能化や高機能化は消費電力のみならず、入出力信号数も増大させている。こうした動きに追随するように、半導体素子のサイズも大型化しつつあるが、素子サイズの大型化はウエハからの取り数の減少に繋がるために、半導体素子のコストアップを招くことになる。このような素子サイズの大型化を回避しつつ素子実装時の工数を削減する上で、フリップチップ構造が有効であり、近年その実用化が進められている。こうした素子構造の改善によって、入出力数の増加にもかかわらず、素子サイズの大型化は避けられている。ところが、こうした素子側の動向にもかかわらず、半導体素子の発熱量の増大傾向は変わりなく、熱を効率的に除去することが相変わらず必要である。

【0006】こうした事情に対処するべく、高熱伝導性のセラミックス基材を用いたパッケージ構造が種々提案されており、パッケージサイズを小型化しつつ、半導体素子が発生する熱にも十分に対応できるセラミックスパッケージが開発されている。しかしながら、従来のセラミックスパッケージは、全てに高熱伝導性セラミックスを使用していることに基いて、以下に示すような難点を有しており、このため広く普及するには至っていないのが実情である。

【0007】すなわち、従来のセラミックスパッケージは、パッケージ本体としてセラミックス多層配線基板を用いて、このセラミックス多層配線基板内の配線層により主として信号配線を取り回している。このようなセラミック多層配線基板を用いたパッケージは、プラスチックパッケージ等に比べて製造コストが高く、また内部配線層には高温焼成が可能なWやMo等を使用しなければならないために、配線抵抗が高くなり、高速信号処理に必ずしも適しているとは言えない。

【0008】さらに、セラミック基板との同時焼成による内部配線層では、パッケージ内配線の高密度化等に限界がある。特に、フリップチップ実装を対象とした場合、狭ピッチ・多端子のインナーリード部を高精度に形成する必要である。しかし、そのような要求を満足させ

るためには、セラミックス基板の焼成時の寸法収縮をより高精度に制御する必要があるため、フリップチップ実装への対応を図った収縮率制御自体が困難になってきている。

【0009】

【発明が解決しようとする課題】上述したように、従来の半導体パッケージのうち、プラスチックパッケージは半導体素子との熱膨張係数の差が大きい、高消費電力で大型の半導体素子等を搭載する際の信頼性が低いという問題を有している。特に、素子サイズの小型化や実装工数の削減等に有効なフリップチップ構造の半導体素子においては、バンパ電極部分に応力が集中するため、電気的な信頼性も低下しやすいという問題がある。

【0010】さらに、従来、高放熱性パッケージとして主に用いられてきたセラミックスパッケージは製造コストが高く、また信号配線の配線抵抗等の電気的特性が不十分であると共に、狭ピッチ配線への対応等にも限界がある等の問題を有している。特に、フリップチップ実装を対象とした場合には、インナーリード部の狭ピッチ・多端子化への対応が困難になってきている。

【0011】本発明は、このような課題に対処するべくなされたもので、フリップチップ構造の半導体素子を対象として、半導体素子の実装信頼性を高めると共に、信号配線の電気特性の向上やより一層の狭ピッチ配線への対応等を実現し、加えて従来のセラミックスパッケージに比べて製造コストの低減を図った半導体パッケージを提供することを目的としている。

【0012】

【課題を解決するための手段】本発明の半導体パッケージは、請求項1に記載したように、セラミックス基板からなるパッケージ本体と、前記セラミックス基板の一方の主面に接合され、かつ配線層を有する樹脂配線基材と、前記配線層と電気的に接続するように、前記樹脂配線基材上に搭載されたフリップチップ構造の半導体素子とを具備することを特徴としている。

【0013】また、本発明の他の半導体パッケージは、請求項2に記載したように、一方の主面に外部接続端子が設けられていると共に、前記外部接続端子と一方の端部が電気的に接続された内部導体層を有するセラミックス基板からなるパッケージ本体と、前記内部導体層の他方の端部と電気的に接続された配線層を有し、前記セラミックス基板の他方の主面に接合された樹脂配線基材と、前記配線層と電気的に接続するように、前記樹脂配線基材上に搭載されたフリップチップ構造の半導体素子とを具備することを特徴としている。

【0014】本発明の半導体パッケージにおいては、セラミックス基板に樹脂配線基材を接合し、この樹脂配線基材上にフリップチップ構造の半導体素子を搭載している。樹脂配線基材は半導体素子との熱膨張係数の差が大きいものの、セラミックス基板と接合することにより、

樹脂基材の熱膨張はセラミックス基板に拘束される。すなわち、セラミックス基板は変形しやすい樹脂配線基材の支持基体として機能するだけでなく、熱膨張緩和層としての役割も果たすものである。従って、半導体素子の電気的な接続を含む実装信頼性を向上させることができる。

【0015】さらに、信号配線は樹脂配線基材に設けた配線層により主として取り回している。樹脂配線基材の配線層には、例えばバタニングされた銅箔等を用いることができるため、信号配線の低抵抗化、配線幅および配線間距離の短縮等を行うことができる。加えて、樹脂基材はセラミックス基板に比べて誘電率が低い、パッケージ内配線の電気的特性を高めた上で、フォトリソ技術を使用することから配線密度を高密度化することができる、特にフリップチップ構造の半導体素子を搭載する場合に狭ピッチ接続が可能となる。またさらに、樹脂配線基材で信号配線を主として取り回すことによって、セラミックス基板ひいては半導体パッケージの製造コストを低減することができる。なお、半導体素子で発生した熱は、高密度配線とされた樹脂配線基材の配線層等を介してセラミックス基板側に伝えることができる。

【0016】

【発明の実施の形態】以下、本発明を実施するための形態について説明する。

【0017】図1は、本発明の半導体パッケージの一実施形態の概略構造を示す断面図である。同図に示す半導体パッケージ1は、パッケージ本体としてセラミックス基板2を有している。このセラミックス基板2には窒化アルミニウム( $AlN$ )焼結体、窒化ケイ素( $Si_3N_4$ )焼結体、アルミナ( $Al_2O_3$ )焼結体、炭化ケイ素( $SiC$ )焼結体、窒化硼素( $BN$ )焼結体、ダイヤモンド等、各種のセラミックス材料を使用することができる。

【0018】上述したセラミックス材料のうち、図1に示す半導体パッケージ1のように、セラミックス基板2の内部に導体層3を設ける場合には、絶縁特性に優れると共に、熱伝導性に優れる $AlN$ 焼結体や $Si_3N_4$ 焼結体等を用いることが好ましい。特に、 $AlN$ 焼結体は熱伝導率が大いことから、半導体パッケージ1の高放熱性化を図る上で好ましい材料である。セラミックス基板2に使用する $AlN$ 焼結体としては、一般的に基板材料として使用されている熱伝導率が $70W/mK$ 以上のものが好ましく用いられる。

【0019】また、 $Si_3N_4$ 焼結体は高強度特性と比較的良好な熱伝導性とを合せ持つことから、半導体パッケージの高信頼性化と高放熱性化を図る上で好ましい材料である。セラミックス基板2に使用する $Si_3N_4$ 焼結体としては、特に $50W/mK$ 以上の熱伝導率を有するものが好ましい。 $Si_3N_4$ 焼結体は高強度・高靱性のセラミックス焼結体としてよく知られており、さらに例え

ば焼結体原料となる窒化ケイ素粉末の微粒子化、高純度化、焼結助剤組成等の組成制御等を行うことによって、本来の高強度・高靱性という機械的特性を損うことなく、50W/m K 以上というように比較的熱伝導性に優れた Si<sub>3</sub>N<sub>4</sub> 焼結体が得られる。

【0020】セラミックス基板2を後述する樹脂配線基材9の支持基体のみとして用い、セラミックス基板2側には導体層を形成しない場合には、熱伝導性に優れる SiC 焼結体、BN 焼結体、ダイヤモンド等が好ましく用いられる。また、他のセラミックス材料についても、半

導体素子11の種類や用途等に応じて適宜使用し得るものである。

【0021】パッケージ本体を構成するセラミックス基板2は、内部導体層としてバイアホール3を有している。バイアホール3の両端にはそれぞれランド4、5が設けられている。ここで、内部導体層としてはバイアホール3のみに限らず、印刷配線層等を併用することが可能であるが、本発明の半導体パッケージにおいては後述する樹脂配線基材9で信号配線を取り回すことができるため、セラミックス基板2の内部導体層はバイアホール型導体層3のみとすることが好ましい。これにより、パッケージ本体としてのセラミックス基板2の製造コストや製造工数を大幅に低減することができる。

【0022】上記したようなセラミックス基板2は、まずセラミックスグリーンシートにバイアホール型導体層3となるスルーホールを形成し、このスルーホール内にタングステンペースト等の導体ペーストを充填すると共に、ランド4、5となる印刷層を形成する。複数枚のセラミックスグリーンシートを使用した場合にはそれらを積層、圧着する。そして、セラミックス材料に応じた雰囲気中で焼成することによって、バイアホール型導体層3およびランド4、5等を有するセラミックス基板2が得られる。

【0023】なお、電源層や接地層等の配線層については、セラミックス基板2内に形成してもよく、この場合にはセラミックス基板2に多層構造のセラミックス基板を使用すればよい。

【0024】上述したバイアホール型導体層3を有するセラミックス基板2の一方の主面、すなわち下面2a側には、例えば Pb-Sn 系半田ボールや In 系半田ボールのような導体ボール6が下面側ランド4上に接合されている。これら導体ボール6は外部接続端子として機能するものである。このように、この実施形態の半導体パッケージ1は BGA 構造のパッケージを構成するものである。なお、導体ボール6には金属ボールや金属コーティング樹脂ボール等、少なくとも表面部が導電性を有する各種の導体ボールを使用することができる。

【0025】導体ボール6は、例えば下面側ランド4の表面に Ni/Au メッキ等を施した後、各下面側ランド4上に Sn-Pb 共晶半田ペースト等を印刷し、この半

田ペースト上に治具を用いて Sn-Pb 共晶半田ボール（例えば 95% Pb 共晶半田ボール）等を載せ、半田ペーストを溶融させて接合することにより形成することができる。

【0026】セラミックス基板2の他方の主面、すなわち上面2b側には、樹脂フィルム7に銅箔等で配線層8を形成した樹脂配線基材9が、接着剤層10を介して接合固定されている。ここで、樹脂フィルム7としては、液晶ポリマー、ポリイミド樹脂、ガラスエポキシ樹脂等の各種絶縁性樹脂からなる厚さ20～100μm 程度のフィルムを使用することができる。また、接着剤層10には、熱硬化性樹脂シート、熱硬化性樹脂ペースト、エポキシ樹脂ペースト、ポリイミド樹脂ペースト等を使用することができる。

【0027】そして、樹脂配線基材9上にはフリップチップ構造を有する半導体素子11が搭載されており、この半導体素子11の bumps 電極11aは配線層8と電気的に接続されている。このように、この実施形態の半導体パッケージ1は、いわゆるフェイスアップ構造を有している。搭載する半導体素子11は限定されるものではないが、消費電力が例えば3W以上と高く、また素子サイズが10mm角以上というような高消費電力で大型の半導体素子に対して本発明は特に有効である。本発明の半導体パッケージにおいては、このような半導体素子11を高信頼性の下で搭載することができる。

【0028】樹脂配線基材9の配線層8は、半導体素子11の bumps 電極11aとセラミックス基板2の上面側ランド5とを電気的に接続しており、さらに半導体素子11の bumps 電極11aはセラミックス基板2のバイアホール型内部導体層3を介して、外部接続端子としての導体ボール6と電気的に接続されている。半導体素子11の信号配線は、基本的には樹脂配線基材9の配線層8で取り回している。

【0029】この実施形態の半導体パッケージ1における配線層8は、具体的には樹脂フィルム7の上面側に形成された上側導体層8aと、樹脂フィルム7の下面側に形成された下側導体層8bと、これらの間を電気的に接続する内部導体層8cとを有している。上側導体層8aおよび下側導体層8bは、例えば銅箔のような厚さ100μm 以下程度の金属箔からなるものであって、所望の配線形状に応じてパターンニングされており、上側導体層8aの表面には絶縁性樹脂等からなる絶縁層12がコーティングされている。

【0030】半導体素子11の信号配線は、主として上側導体層8aおよび下側導体層8bの一方で、あるいは上側導体層8aと下側導体層8bの双方で取り回されている。信号配線を主として上側導体層8aで取り回す場合には、下側導体層8bはランドの形成のみとしてもよい。

【0031】下側導体層8b（ランド）上には、セラミ



ックス基板2の上面側ランド5の位置に対応させて、例えばAgエポキシ系ペースト、Auエポキシ系ペースト、Agポリイミド系ペースト等により接続用突起13が形成されている。接続用突起12は、Auボール、Pb-Sn系共晶半田ボール、In系半田ボール等を接合して形成することもできる。なお、セラミックス基板2の上面側ランド6上に、同様な接続用突起を形成しておいてもよい。

【0032】そして、樹脂配線基材9の配線層8とセラミックス基板2の上面側ランド5とは、樹脂フィルム7側の接続用突起13を上面側ランド5に突き当て、これを熱圧着する等によって電氣的に接続されている。なお、接続用突起13はセラミックス基板2の上面側ランド5上に形成してもよい。また、樹脂配線基材9の配線層8と半導体素子3の bumps 電極11aとは、この bumps 電極11aを樹脂配線基材9の上側導体層8aの所定の電極部に突き当て、これを熱圧着する等によって電氣的に接続されている。

【0033】樹脂配線基材7とセラミックス基板2との機械的な接合は、基本的には接着剤層10が担っている。また、樹脂配線基材9と半導体素子3との機械的および電氣的な接続信頼性を高める上で、bumps 電極11aによる接続部の周囲には、樹脂等からなる絶縁性充填材14が充填されている。この絶縁性充填材14は必要に応じて使用されるものである。

【0034】上述した導体層8および接続用突起12を有する樹脂フィルム7は、例えば以下のようにして作製することができる。まず、厚さ12 $\mu$ m程度の銅箔を上側導体層8aの形成材料として用意し、その表面にセラミックス基板2の上面側ランド5の位置に対応させて、銀等により内部導体層8cとなる突起を形成する。この突起を形成した銅箔と、例えば液晶ポリマーからなる厚さ20~100 $\mu$ m程度の樹脂フィルム7と、さらに下側導体層8bとなる同様な厚さの銅箔とを重ね合わせ、突起の先端が樹脂フィルム7を突き破って下側導体層8bとなる銅箔と電氣的に接続するように熱圧着する。熱圧着は銅箔と液晶ポリマーフィルム等との密着強度が保たれるような条件下で実施する。

【0035】そして、両面の銅箔をそれぞれ所望の配線形状となるようにエッチングし、上側導体層8aには所望の配線パターンを、また下側導体層8bには少なくともランドを形成する。この後、下側導体層8bによるランド上に、上述したような接続用突起13を形成することによって、上述した上側導体層8a、下側導体層8bおよび内部導体層8cを有する配線層8と接続用突起13とが設けられた樹脂配線基材9が得られる。

【0036】上記したような配線層8および接続用突起13を有する樹脂配線基材9とセラミックス基板2との接合は、これらを例えば接着剤シートや接着剤の塗布層等を介して積層し、この状態で接着剤フィルムや接着剤

の塗布層が接着する温度で熱をかけつつ、電氣的な接続が実現する程度の圧力（例えば10kg/cm<sup>2</sup>程度）を加えることによって、樹脂配線基材9とセラミックス基板2とを電氣的に接続しつつ機械的に接合することができ、このようにして、セラミックス基板2と接合した樹脂配線基材9上に、フリップチップ構造の半導体素子11を接続、搭載すると共に、接続部の周囲に絶縁性充填材14を充填することによって、半導体パッケージ1が得られる。

【0037】上述した半導体パッケージ1においては、4W程度の半導体素子11であれば樹脂フィルム7が熱抵抗層となるものの、樹脂配線基材9は薄く、また配線層8具体的には銅箔等を介して熱をセラミックス基板2に伝えることができるため、高熱伝導性のセラミックス基板2を使用すれば放熱性を確保することが可能である。さらに、より高い消費電力の半導体素子11（例えば10W程度）を搭載する場合には、図2に示すように、樹脂配線基材9上にフリップチップ実装されている半導体素子11の裏面側に、金属や高熱伝導性セラミックス等からなる放熱フィン15を接着剤層16を介して接合することによって、十分な放熱性を確保することができる。

【0038】このような半導体パッケージ1は、例えば多層プリント基板等の実装ボード上に実装される。この際、半導体パッケージ1の外部接続端子としての導体ボール6は、実装ボードの配線層と電氣的に接続され、半導体実装部品が構成される。上述した実施形態の半導体パッケージ1においては、パッケージ本体としてのセラミックス基板2に樹脂配線基材9を接合した構造を有しているため、樹脂配線基材9の熱膨張をセラミックス基板2により拘束することができる。樹脂配線基材9は半導体素子11との熱膨張係数の差が大きいものの、セラミックス基板2の熱膨張係数は半導体素子11に近いため、樹脂配線基材9の熱膨張をセラミックス基板2により拘束することによって、半導体素子11が搭載される樹脂配線基材9の熱膨張を半導体素子11のそれに近付けることができる。

【0039】このようなパッケージを用いることによって、フリップチップ構造の半導体素子11を、樹脂配線基材9上に直接搭載しているにもかかわらず、半導体素子11の接続部信頼性を高めることが可能となる。具体的には、電氣的な接続部の信頼性を高めることができると共に、樹脂配線基材9との機械的な接続に伴う半導体素子11の割れ等を抑制することができる。すなわち、セラミックス基板2は変形しやすい樹脂配線基材9の支持基体として機能するだけでなく、熱膨張緩和層としての役割も果たすものである。特に、半導体素子11の bumps 電極11aによる接続部周辺に絶縁性充填材14を充填することによって、機械的な接続信頼性のみならず、電氣的な接続信頼性をもより一層高めることが可能となる。

【0040】半導体パッケージ1の放熱性に関しては、前述したように半導体素子11で生じた熱を、樹脂配線基材9の配線層8を介して熱をセラミックス基板2に伝えることができ、特に配線密度を高密度化した配線層8は熱伝達性に優れるため、高熱伝導性のセラミックス基板2を使用すれば4W程度の半導体素子11に対応し得る放熱性を確保することができる。また、樹脂配線基材9上にフリップチップ実装されている半導体素子11の裏面側に、放熱フィン15を接合することによって、より一層良好な放熱性を得ることができる。

【0041】また、樹脂フィルム7に設けた配線層8には上述したように、銅箔等の厚さが100 $\mu$ m以下というような金属箔を使用することができる。銅箔等の金属箔によれば、セラミックス基板の内部配線層として一般的に使用されているWやMo等の焼成層に比べて、信号配線の配線抵抗や高周波特性等を大幅に改善することができる。さらに、銅箔等をエッチングしてパターンニングすることによって、例えば配線幅が30 $\mu$ m、配線間距離が20 $\mu$ mというような高密度配線を実現することができる。その上で、この実施形態の半導体パッケージ1は基本的に小型化が可能なフェイスアップ構造としているため、入出力数の多い半導体素子11であっても信号配線を容易に取り回すことができるだけでなく、パッケージサイズそのものを小形化することが可能となる。すなわち、パッケージ内配線の高密度化およびそれに基くパッケージサイズの小型化を達成することができる。

【0042】ここで、フリップチップ構造の半導体素子11の場合、特にパッケージ側のインナーリード部に狭ピッチ配線が求められる。このような要求を樹脂配線基材11の配線層8は満足させることができるため、フリップチップ構造の半導体素子11との狭ピッチ接続を実現することが可能となる。従って、フリップチップ構造の半導体素子11の実装信頼性を高めることができると共に、さらなる半導体素子11の多端子・狭ピッチ化にも対応することができる。

【0043】さらに、信号配線は基本的には樹脂配線基材9の配線層8で取り回しているため、セラミックス基板2の内部配線層をバイアホール型配線層3のみとすることができる。これにより、内部に複雑な多層配線を形成していた従来のセラミックス多層配線基板に比べて、セラミックス基板2自体の製造コストおよび製造工数を大幅に低減することができ、またセラミックスの寸法制御精度も緩くなり、ひいては半導体パッケージ1の製造コストを低減することが可能となる。

【0044】上述したように、この実施形態のBGA構造の半導体パッケージ1は、フリップチップ構造の半導体素子11の搭載、およびそれとの狭ピッチ接続を可能にした上で、半導体素子11の実装信頼性を高めたものであり、さらには信号配線の高特性化および高密度化、パッケージの低コスト化等を実現したものである。

【0045】このようなBGA構造の半導体パッケージ1を、消費電力が5Wで400ピンの半導体素子を搭載するパッケージとして作製した。まず、樹脂配線基材9として、液晶ポリマーを主剤とし、その両面に銅箔を熱圧着したものを作製した。各銅箔はエッチングしてパターンを形成し、その上には絶縁樹脂をコーティングした。樹脂配線基材9の厚さは約0.2mmであり、チップ実装はフリップチップ対応である。

【0046】セラミックス基板2には、熱伝導率が180 W/m KのA1Nセラミックスを用いた。基板厚さは0.6mmである。A1Nセラミックス基板2は、単一グリーンシートに直径200 $\mu$ mのスルーホールを一括で打抜き形成し、これにWペーストを充填すると共に、ランドとなる印刷層を形成した。これを脱脂、焼成してA1Nセラミックス基板2とした。ランド上にはNi/Auメッキを施した。

【0047】このような樹脂配線基材9とA1Nセラミックス基板2とを接合して、半導体素子用のパッケージを得た。これらの電気的な接続には導電性樹脂を用い、また機械的な接合にはエボキシ系接着剤を用いた。このようなパッケージにフリップチップ構造の5W、400ピンの半導体素子を搭載して、この実施例の半導体パッケージ1とした。

【0048】一方、本発明との比較例として、樹脂製の半導体パッケージ(比較例1)を作製した。この比較例1の半導体パッケージは、高消費電力向け半導体素子に適用するため、フェイスアップ構造を採用し、発生する熱を素子裏面から直接ヒートシンクに逃がす構造とした。このため、半導体素子の接続方法はワイヤーボンディングとした。ヒートシンクには銅を使用した。また、熱を実装ボードへ逃がす構造を採用するため、内部には熱拡散用プレートを採用した。配線導体は銅である。このようなパッケージに実施例と同様な5W、400ピンの半導体素子を搭載して、半導体パッケージとした。

【0049】また、比較例2として、A1Nセラミックスでフリップチップ対応のパッケージを作製した。パッケージには、5層構造のA1N多層配線基板(熱伝導率:180W/m K)を用いた。5層構造のA1N多層配線基板は、5枚のグリーンシートそれぞれに必要なスルーホールを形成し、Wペーストの充填および印刷を行った後、積層、脱脂、焼成を行った。フリップチップ実装に対応させるために、スルーホールの直径は80 $\mu$ mとした。ランド上にはNi/Auメッキを施した。このようなパッケージに実施例と同様な5W、400ピンの半導体素子を搭載して、半導体パッケージとした。

【0050】上記した実施例の半導体パッケージと比較例1、2による半導体パッケージの特性、コスト、サイズ等を比較した。その結果を表1に示す。なお、表1に示す評価結果は実施例を1とした場合の相対値である。

【0051】

【表1】

	配線抵抗比	熱抵抗比	コスト比	サイズ比
実施例	1	1	1	1
比較例1	1	11	1	1.3
比較例2	10	0.9	2	1

表1から明らかなように、本発明の実施例による半導体パッケージは、熱抵抗がセラミックス単体パッケージを用いた比較例2に比べて多少劣るものの、配線抵抗や製造コストは大幅に優れ、また樹脂パッケージを用いた比較例1と比べても、製造コストやパッケージサイズ等に優れたものであることが分かる。

【0052】なお、上記実施形態では樹脂フィルム7の両面に導体層8a、8bを設けて、下側導体層8bに接続用突起13を形成した場合について説明したが、例えば内部導体層が樹脂フィルムを突き破って、その先端が樹脂フィルムの反対面側に突出するような構造とすることによって、内部導体層と接続用突起とを兼用することができる。

【0053】また、樹脂基材としては前述した樹脂フィルムに限らず、銅張り樹脂基板等を使用することも可能であるが、配線密度の高密度化という点においては樹脂フィルムに例えば厚さ100 $\mu$ m以下というような金属箔を熱圧着等で張り付けたものを使用することが好ましい。

【0054】さらに、本発明の半導体パッケージは上述したフェイスアップ構造のBGAパッケージに限らず、外部接続端子に導体ボール以外のものを使用したパッケージ、あるいはフェイスダウン構造の半導体パッケージ等にも適用可能である。

【0055】

\*【発明の効果】以上説明したように、本発明の半導体パッケージによれば、フリップチップ構造の半導体素子の実装信頼性や接続信頼性等を高めた上で、信号配線の電気特性を向上、より一層の狭ピッチ配線への対応およびパッケージサイズの小型化等を図ることができ、さらには製造コストの低減等を実現することが可能となる。このような半導体パッケージは、例えば高消費電力で大型の半導体素子等も高信頼性の下でパッケージ化することができる。

【図面の簡単な説明】

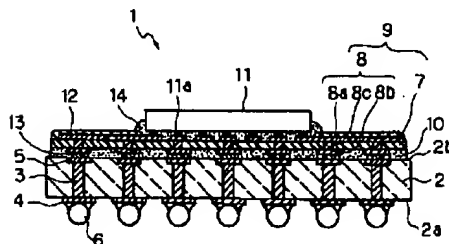
【図1】 本発明の半導体パッケージの一実施形態の概略構造を示す断面図である。

20 【図2】 図1に示す半導体パッケージの変形例を示す断面図である。

【符号の説明】

- 1.....半導体パッケージ
- 2.....セラミックス基板
- 3.....バイアホール型導体層
- 6.....導体ボール
- 7.....樹脂フィルム
- 8.....配線層
- 9.....樹脂配線基材
- 11.....フリップチップ構造の半導体素子
- 15.....放熱フィン

【図1】



【図2】

